

## ⑫ 公開特許公報(A)

平3-79033

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月4日

H 01 L 21/336  
21/225  
21/28  
21/76  
29/784

3 0 1

M  
T  
T

7454-5F  
7738-5F  
7638-5F

8728-5F  
8728-5F

H 01 L 29/78

3 0 1

P  
Z

審査請求 未請求 請求項の数 4 (全13頁)

⑮ 発明の名称 半導体装置の製法

⑯ 特 願 平1-215832

⑰ 出 願 平1(1989)8月22日

⑱ 発 明 者	角 博 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	峰 岸 慎 治	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 松隈 秀盛		

## 明 細 書

発明の名称 半導体装置の製法

特許請求の範囲

1. 半導体基板にフランジ部を有するトレンチ分離領域を形成する工程、  
前記半導体基板表面にシリサイド層を形成する工程、  
前記シリサイド層の下に拡散層を形成する工程を有することを特徴とする半導体装置の製法。
2. 特許請求の範囲第1項において、拡散層をシリサイド層からの固相拡散により形成することを特徴とする半導体装置の製法。
3. 半導体基板に選択酸化による分離領域を形成する工程、  
前記半導体基板表面にシリサイド層を形成する工程、  
前記シリサイド層の下に斜めイオン注入により拡散層を形成する工程を有することを特徴とする半導体装置の製法。
4. 半導体基板に選択酸化による分離領域を形成

する工程、

前記半導体基板表面にシリサイド層を形成する工程、

前記シリサイド層に不純物を斜めイオン注入し、シリサイド層からの固相拡散により拡散層を形成する工程を有することを特徴とする半導体装置の製法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、シリサイド層の下に拡散層を有する半導体装置の製法に関する。

〔発明の概要〕

本発明は、シリサイド層の下に拡散層を有する半導体装置の製法において、半導体基板にフランジ部を有するトレンチ分離領域を形成する工程、半導体基板表面にシリサイド層を形成する工程、シリサイド層の下に拡散層を形成する工程を有することによって、接合リーク電流の低減化及び接合耐圧の向上を図るようにしたものである。

また、上記本発明製法において、拡散層をシリサイド層からの固相拡散により形成することにより、さらに接合リーク電流の低減及び接合耐圧の向上を図るようにしたものである。

また、本発明は、同様の半導体装置の製法において、半導体基板に選択酸化による分離領域を形成する工程、半導体基板表面にシリサイド層を形成する工程、シリサイド層の下に斜めイオン注入により拡散層を形成する工程を有することによって、接合リーク電流の低減化及び接合耐圧の向上を図るようにしたものである。

さらに、本発明は同様の半導体装置の製法において、半導体基板に選択酸化による分離領域を形成する工程、半導体基板表面にシリサイド層を形成する工程、シリサイド層に不純物を斜めイオン注入し、シリサイド層からの固相拡散により拡散層を形成する工程を有することによって、さらに接合リーク電流の低減化及び接合耐圧の向上を図るようにしたものである。

(3)を介して例えば多結晶シリコンによるゲート電極(4)が形成されると共に、ゲート電極(4)を挟んで夫々ソース及びドレインとなる第2導電形の拡散層(5)及び(6)が形成される。この拡散層(5)及び(6)上に選択的にTiシリサイド層(即ちTiサリサイド)(7)が形成され、層間絶縁膜(8)のコンタクトホールを介して夫々例えばA&のソース電極(9)及びドレイン電極(10)が接続される。(11)は絶縁性の側壁部である。

このようなTiサリサイドを用いたMOSトランジスタは特開昭63-84064号公報にも開示されている。

#### 〔発明が解決しようとする課題〕

ところで、上述したMOSトランジスタにおいては、接合部での耐圧劣化及びリーク電流が問題となってきた。MOSトランジスタにおける接合部の耐圧劣化及びリーク電流増大の原因として、1つは第15図に示すようにソース及びドレインの拡散層(5)、(6)をイオン注入法で形成するときのイ

#### 〔従来の技術〕

近年、情報の増大に伴い、膨大なデータ処理のために、コンピュータ素子に用いられているICの高速化が要求されてきている。この高速化のための1つの方法としてTiサリサイド技術が注目されている。例えばインバータCMOSリングオシレータを0.5 $\mu$ mルールで作製した場合、サリサイドを用いないときの応答速度は90psecであるが、Tiサリサイドを用いると60psec程度まで速度が速くなることが判っている。

一方、半導体素子の微細化、多様化に伴い高耐圧トランジスタの必要性が増してきており、特にBi-CMOSトランジスタではMOSトランジスタの高耐圧性が重要視されている。このMOSトランジスタにおいても、高速化のためにTiサリサイド技術が用いられる。

第14図に従来のTiサリサイドを用いたMOSトランジスタの一例を示す。同図中、(1)は第1導電形のシリコン基体、(2)は選択酸化(LOCOS)による素子分離領域を示し、基体(1)の表面にゲート絶縁膜

オン注入損傷(結晶欠陥)(13)による影響、及び素子分離領域(2)とシリコン基体(1)の界面部におけるシリコン結晶の欠陥(14)によることを見出している。さらに、拡散層(5)、(6)の表面に選択的にTiシリサイド(TiSi<sub>2</sub>)層(7)を形成する場合、従来構造であると第16図に示すようにTiが素子分離領域(2)の端縁に沿って拡散することにより、接合リーク電流を増大させ、また接合耐圧を劣化させていることも実験により確認している。

本発明は、上述の点に鑑み、シリサイド層の下に拡散層を有する半導体装置において、その接合リーク電流の低減化及び接合耐圧の向上を可能にした半導体装置の製法を提供するものである。

#### 〔課題を解決するための手段〕

本発明の半導体装置の製法は、半導体基板(21)にフランジ部(29a)(又は(25a))を有するトレンチ分離領域(25)を形成する工程、半導体基板表面にシリサイド層(31)を形成する工程、シリサイド層(31)の下に拡散層(32)(33)を形成する工程を有

するものである。ここで、シリサイド層(31)の形成工程と、拡散層(32)(33)の形成工程の順序はいずれが先でもよい。又、拡散層(32)(33)の形成にはイオン注入法、固相拡散法等を用い得る。

また、本発明は、上記製法において、シリサイド層(31)からの固相拡散により拡散層(32)(33)を形成するようになる。

また、本発明の半導体装置の製法は、半導体基板(21)に選択酸化による分離領域(51)を形成する工程、半導体基板表面にシリサイド層(31)を形成する工程、シリサイド層(31)の下に斜めイオン注入により拡散層(32)(33)を形成する工程を有するものである。ここで、シリサイド層(31)の形成工程と、拡散層(32)(33)の形成工程の順序はいずれが先でもよい。

さらに、本発明の半導体装置の製法は、半導体基板(21)に選択酸化による分離領域(51)を形成する工程、半導体基板表面にシリサイド層(31)を形成する工程、シリサイド層(31)に不純物(38)を斜めイオン注入し、シリサイド層(31)からの固相拡

散により拡散層(32)(33)を形成する工程を有するものである。

#### 〔作用〕

第1の発明によれば、半導体基板(21)にフランジ部(29a)(又は(25a))を有するトレンチ分離領域(25)を形成して半導体基板表面にシリサイド層(31)を形成するので、上記フランジ部(29a)(又は(25a))によってトレンチ分離領域(25)と半導体基板(21)の界面に沿うシリサイド層(31)の形成は阻止され、ここにおける接合リーク電流は低減され、且つ接合耐圧も向上する。

第2の発明によれば、第1の発明において更に不純物を導入したシリサイド層(31)からの固相拡散によって拡散層(32)及び(33)を形成するので、イオン注入による場合の結晶欠陥の発生はなく、さらに接合リーク電流が低減され、且つ接合耐圧が向上する。

第3の発明によれば、選択酸化による分離領域(51)を形成した半導体基板(21)に対して斜めイオ

ン注入により拡散層(32)(33)を形成するので、分離領域(51)の端部下においても深い拡散層(32)(33)が形成され、その接合部位置は分離領域(51)の端部に沿って拡散した位置よりも深くなる。従って分離領域(51)の端部に沿ったTi拡散即ちシリサイド層(31)に基づく接合リーク電流は低減し、接合耐圧も向上する。

第4の発明によれば、選択酸化による分離領域(51)を形成した半導体基板(21)表面にシリサイド層(31)を形成し、シリサイド層(31)に不純物を斜めイオン注入してこのシリサイド層(31)からの固相拡散により拡散層(32)(33)を形成するので、分離領域(51)の端部下においてもそのシリサイド層(31)より深い位置に接合部が形成され、また、固相拡散であるため、イオン注入によるような結晶欠陥の発生はない。従って、第3の発明よりさらに接合リーク電流が低減し、且つ接合耐圧が向上する。

#### 〔実施例〕

以下、図面を参照して本発明による半導体装置の製法の実施例を説明する。尚、各例はMOSトランジスタの製造に適用した場合である。

第1図は本発明の第1の実施例を示す。先ず第1図Aに示すように、第1導電形(例えばp形又はn形)のシリコン基板(21)の一主面に素子間分離を行うためのトレンチ(溝)(22)を形成する。

次に、第1図Bに示すように、例えばバイアスBCRプラズマCVD法等によりトレンチ(22)内にSiO<sub>2</sub>を埋め込むように基板表面を含んでSiO<sub>2</sub>層(23)を形成する。その後、トレンチ(22)に対応するSiO<sub>2</sub>層(23)上にレジストマスク(24)を形成する。そして、例えばエッチバックによりトレンチ(22)以外のSiO<sub>2</sub>層(23)を選択的に除去し、第1図Cに示すように上部が基板(21)の主面より突出した所謂トレンチ分離領域(25)を形成する。

次に、第1図Dに示すようにトレンチ分離領域(25)により分離された素子形成領域(26)の所定領域上にゲート絶縁膜(27)を介して例えば多結晶シリコンによるゲート電極(28)を形成する。なおゲ

ート電極(28)はタングステンシリサイドその他等によって形成してもよい。次に、第1図Eに示すように、前面に $\text{SiO}_2$ 層(29)を被着形成した後、異方性エッチング例えばRIE(反応性イオンエッチング)により $\text{SiO}_2$ 層(29)をエッチバックし、トレンチ分離領域(25)の上部突出部の側壁に $\text{SiO}_2$ 側壁部(29a)を形成する。このとき、同時にゲート電極(28)の側壁にも $\text{SiO}_2$ 側壁部(29a)が形成される。トレンチ分離領域(25)では、 $\text{SiO}_2$ 側壁部即ちフランジ部(29a)を有するトレンチ分離領域(25)が形成される。

次に、第1図Gに示すように、全面にチタン(Ti)層(30)を被着形成した後、第1図Hに示すようにRTA法(高温短時間アニール)により、シリコン露出部のみにTiシリサイド( $\text{TiSi}_2$ )層(31)を形成し、未反応チタン層(30)を例えばアンモニア過酸化水素水等によりエッチング除去し、所謂Tiシリサイドを形成する。なお、このとき、多結晶シリコンによるゲート電極(28)上にもTiシリサイド層(31)が形成されるも、ゲート電極(28)として

$\text{WSi}_x$ を用いた場合にはTiシリサイド層は形成されない。

次に、第1図Iに示すように、Tiシリサイド層(31)中に第2導電形不純物(n形であれば例えばヒ素(As)、p形であれば例えばボロン(B))(38)をイオン注入等により導入する。

次に、第1図Jに示すように、層間絶縁膜(例えば $\text{SiO}_2$ )(34)を形成し、850℃程度のアニールを施してTiシリサイド層(31)中の不純物をシリコン基板(21)中へ固相拡散させてソース及びドレインとなる拡散層(32)及び(33)を形成する。

しかる後、層間絶縁膜(34)にコンタクトホールを形成し、このコンタクトホールを通じて夫々Tiシリサイド層(31)に接続するソース電極及びドレイン電極となる例えばA<sub>2</sub>電極(35)及び(36)を形成して第1図Kに示す目的のMOSトランジスタ(37)を得る。

上述の製法によれば、上部に $\text{SiO}_2$ 側壁部(29a)を有するトレンチ分離領域(25)を形成した後、Tiシリサイド層(31)を形成するので、Tiシリサイド

層(31)はトレンチ分離領域の $\text{SiO}_2$ 側壁部(29a)によってトレンチ分離領域(25)とシリコン基板(21)との界面から離れて形成される。従って、Tiが分離領域(25)の端縁からシリコン基板(21)との界面に沿って拡散することがなく、拡散層(32)及び(33)における接合リーク電流が低減し、また接合耐圧を向上することができる。第3図は従来のトレンチ分離領域の上部に所謂フランジ部を形成しない場合の逆方向電圧-接合リーク電流の特性図、第4図は本発明によるトレンチ分離領域の上部にフランジ部を形成した場合の逆方向電圧-接合リーク電流の特性図を示す。この第3図及び第4図の特性図から本発明に係るMOSトランジスタの方が接合リーク電流が低く、接合耐圧が良いことがわかる。また本例においては、Tiシリサイド(31)に不純物を導入し、之よりの固相拡散により拡散層(32)及び(33)を形成するので接合部での結晶の損傷はなく、従ってさらに接合リーク電流は低減し、接合耐圧を向上することができる。第5図は従来のイオン注入によりソース領域及びドレイン

領域を形成した場合の逆方向電圧-接合リーク電流の特性図、第6図は本発明に係る固相拡散によりソース領域及びドレイン領域を形成した場合の逆方向電圧-接合リーク電流の特性図を示す。この第5図及び第6図の特性図から固相拡散で拡散層を形成する方がさらに接合リーク電流が低く、接合耐圧も高いことが判る。

第2図は本発明の第2の実施例を示す。本例においては、先ず第2図Aに示すように第1導電形(例えばp形又はn形)のシリコン基板(21)の一面に素子間分離を行うためのトレンチ(40)を形成する。このトレンチ(40)は深い溝部(40a)とその上端に溝部(40a)の幅より広い幅広部(40b)からなる断面T字状に形成される。

次に、第2図Bに示すように例えばバイアスECRプラズマCVD法等によりトレンチ(40)内に $\text{SiO}_2$ を埋め込むように基板表面を含んで $\text{SiO}_2$ 層(23)を形成する。

次いで、第2図Cに示すようにトレンチ(40)に対応する部分の $\text{SiO}_2$ 層(23)が基板(21)の主面と同

一面（或いはほぼ同一面）となるように $\text{SiO}_2$ 層(23)の全体をエッチバックした後、トレンチ(40)の $\text{SiO}_2$ 層(23)上にのみ選択的にレジストマスク(24)を被着形成する。

次に、レジストマスク(24)を介してトレンチ(40)以外の基板表面の $\text{SiO}_2$ 層(23)を除去し、その後レジストマスク(24)を除去して、第2図Dに示すように上部にフランジ部(25a)を有するトレンチ分離領域(25)を形成する。

次いで、第2図Eに示すようにトレンチ分離領域(25)により分離された素子形成領域(26)の所定領域上にゲート絶縁膜(27)を介して例えば多結晶シリコンによるゲート基板(28)を形成する。そして、 $\text{SiO}_2$ の被着形成と異方性エッチングによりゲート電極(28)の側壁に $\text{SiO}_2$ 側壁部(29a)を形成する。

次に、第2図Fに示すように全面にチタン(Ti)層(30)を被着形成した後、第2図Gに示すように高温短時間アニールによりシリコン露出部のみにTiシリサイド( $\text{TiSi}_2$ )層(31)を形成し、未反応チ

タン層(30)を例えばアンモニア過酸化水素水等によりエッチング除去し所謂Tiシリサイドを形成する。

次に、第2図Hに示すようにTiシリサイド層(31)中に第2導電形不純物（n形であれば例えばヒ素(As)、p形であれば例えばボロン(B)）(38)をイオン注入等により導入する。次に、第2図Iに示すように層間絶縁膜（例えば $\text{SiO}_2$ ）(34)を形成し、850℃程度のアニールを施してTiシリサイド層(31)中の不純物をシリコン基板(21)中へ固相拡散させてソース及びドレインとなる拡散層(32)及び(33)を形成する。

しかる後、層間絶縁膜(34)にコンタクトホールを形成し、このコンタクトホールを通じて夫々Tiシリサイド層(31)に接続するソース電極及びドレイン電極となる例えばA<sub>2</sub>電極(35)及び(36)を形成して第2図Jに示す目的のMOSトランジスタ(41)を得る。

かかる製法においても、フランジ部(25a)を有するトレンチ分離領域(25)を形成した後、Tiシリ

サイド層(31)を形成するので、第1図の実施例と同様にフランジ部(25a)によってTiの分離領域(25)及びシリコン基板(21)界面に沿う拡散は阻止され、拡散層(32)及び(33)における接合リーク電流の低減化及び接合耐圧の向上を図ることができる。また、固相拡散によって拡散層(32)及び(33)を形成するので、上例と同様にさらに接合リーク電流を低減し、接合耐圧を向上することができる。

尚、第1図及び第2図の例においては、Tiシリサイド層(31)を形成した後、Tiシリサイド層(31)からの固相拡散によって拡散層(32)及び(33)を形成するようにしたが、その他、拡散層(32)及び(33)を拡散又はイオン注入により形成した後にTiシリサイド層(31)を形成することも可能であり、又はTiシリサイド層(31)を形成した後にイオン注入により拡散層(32)及び(33)を形成することも可能である。このような場合においても、トレンチ分離領域(25)の上部にフランジ部(25a)又は(29a)が形成されていることにより、接合リーク電流及び接合耐圧を改善することができる。

第7図は本発明の第3の実施例を示す。本例においては、先ず第7図Aに示すように第1導電形（例えばp形又はn形）のシリコン基板(21)の一面に選択酸化(LOCOS)による素子間分離領域(51)を形成したのち、素子形成領域(26)の所定領域上にゲート絶縁膜(27)を介して例えば多結晶シリコンからなるゲート電極(28)を形成し、さらに上例と同様にゲート電極(28)の側壁に $\text{SiO}_2$ 側壁部(29a)を形成する。

次に、第7図Bに示すように、全面にチタン(Ti)層(30)を被着形成した後、上例と同様に高温短時間アニール及びその後の未反応チタン層の除去によりシリコン露出部のみに選択的にTiシリサイド( $\text{TiSi}_2$ )層(31)を形成し、所謂Tiシリサイドを形成する。このTiシリサイド層(31)の形成時に、Tiが素子間分離領域(51)の領域より、分離領域(51)及びシリコン基板(21)の界面に沿って拡散し、Tiシリサイド層(31)がこの界面に沿って形成される。

次に、第7図Dに示すように第2導電形の不純

物 (n 形であれば例えば As、p 形であれば例えば B) (38) をソース及びドレインとなる拡散層 (32) 及び (33) を形成する。本例においては、このイオン注入時に、半導体ウェハ即ち基板 (21) もしくは所定角度に配したイオン注入銃 (52) を回転させながら、さらにイオン注入銃 (52) もしくは基板 (21) の角度を  $90^\circ \sim 30^\circ$  の範囲で振りながらイオン注入を行う。第 9 図はシリコン基板即ち半導体ウェハ (21) を回転させながら、イオン注入銃 (52) を  $30^\circ \sim 90^\circ$  の範囲で振ってイオン注入する例である。これにより、選択酸化による素子間分離領域 (51) の下部に沿っても不純物イオンは注入され、十分な接合深さを有する拡散層 (32) 及び (33) が形成される。

しかる後、層間絶縁膜 (34) を形成し、コンタクトホールを形成して Ti シリサイド層 (31) に接続するソース電極及びドレイン電極となる例えば Al 電極 (35) 及び (36) を形成して、第 7 図 E に示す目的の MOS トランジスタ (53) を得る。

かかる製法によれば、イオン注入角度  $30^\circ \sim 90^\circ$

(38) を Ti シリサイド層 (31) に導入する。

次に、第 8 図 E に示すように層間絶縁膜 (34) を形成し、 $850^\circ\text{C}$  程度のアニールを施して Ti シリサイド層 (31) 中の不純物をシリコン基板 (21) 中へ固相拡散させてソース及びドレインとなる拡散層 (32) 及び (33) を形成する。

しかる後、層間絶縁膜 (34) にコンタクトホールを形成し、このコンタクトホールを通じて夫々 Ti シリサイド層 (31) に接続するソース電極及びドレイン電極となる例えば Al 電極 (35) 及び (36) を形成して第 8 図 F に示す目的の MOS トランジスタ (55) を得る。

かかる製法によれば、Ti シリサイド層 (31) を形成した後にイオン注入角度を可変させながら第 2 導電形不純物 (38) を導入するので、この不純物 (38) は Ti シリサイド層 (31) の全体即ち素子間分離領域 (51) の端部に沿う部分にも十分導入される。そして、この Ti シリサイド層 (31) のからの固相拡散によって拡散層 (32) 及び (33) を形成するので、基板 (21) との接合は素子間分離領域 (51) の端部に

の範囲で可変させながら形成するようにしたことにより、素子間分離領域 (51) の端部下においても十分深い接合が得られる。即ち素子間分離領域の端部に沿って形成される Ti 拡散位置よりも接合位置が深くなる。従って、素子間分離領域 (51) の端部に沿う Ti 拡散に基づく接合リーク電流を低減することができ、且つ接合耐圧を向上することができる。

尚、第 7 図の例では Ti シリサイド層 (31) を形成した後にイオン注入により拡散層 (32) 及び (33) を形成するようにしたが、拡散層 (32) 及び (33) を形成した後に Ti シリサイド (31) を形成するようにしても良く、この場合も同様の効果が得られる。

第 8 図は本発明の第 4 の実施例を示す。本例において、第 8 図 A ~ C までの工程は第 3 実施例の第 7 図 A ~ C の工程と同様である。そして、Ti シリサイド層 (31) を形成した後、第 8 図 D に示すように上例と同じようにしてイオン注入角度を  $30^\circ \sim 90^\circ$  の範囲で可変させながらウェハ (21) もしくはイオン注入銃を回転させて第 2 導電形の不純物

対応する部分においても Ti シリサイド層 (31) より深く形成されることになる。従って、素子間分離領域 (51) の端部に沿う Ti 拡散に基づく接合リーク電流及び接合耐圧を改善することができると共に、さらに固相拡散であるので、イオン注入のときのような結晶欠陥の発生はなく、さらに接合リーク電流及び接合耐圧を改善することができる。

次に Ti シリサイド層の膜質改善方法について説明する。

前述したように Ti シリサイドの形成に伴い接合リーク電流が増大する原因の 1 つとして選択酸化による素子間分離領域の端部に沿う Ti 拡散があるが、他の原因として Ti シリサイドの反応の不均一性で部分的に Ti シリサイド層と接合部が近接することがある。この Ti シリサイドの反応が不均一になる原因の 1 つとして第 13 図 A ~ C に示すように Ti 層 (15) をスパッタリングで形成するときの Ti 層 (15) の表面モフォロジーの悪さが反映している。即ち Ti シリサイド層 (17) と接合部 (11) の近接する部分でリーク電流 (18) が生じ易い。なお、同図中、

(1)は第1導電形のシリコン基体、(2)は選択酸化による素子間分離領域、(15)はTi層、(17)はTiシリサイド層である。

これを改善する方法としては、Tiシリサイド層形成時の反応の不均一性を排除するために、Tiスパッタリング時に50 W程度の高周波バイアス又は直流バイアスを加えて行い、Ti層を形成するようになる。このようにしてバイアススパッタリングでTi層を形成すると、その表面モフォロジーはバイアスを加えてないでスパッタリングして形成したTi層に比べて、16倍以上の平坦性が得られることが走査電子顕微鏡(SEM)による観察で認められる。バイアスを加えることにより表面モフォロジーは向上するが、ウェハ内のTiの膜厚分布を悪化させる。第10図の曲線(1)はバイアススパッタリングに対する5インチウェハ内のTi膜厚のばらつきを示す。また第11図はRFバイアスパワーをパラメータとした5インチウェハ内のTi層の堆積率を示す。符号(1)~(9)は半導体ウェハ(21)内のポイントを示す。○印は水平方向、△印は垂直方向の膜厚であ

る。バイアスパワーを増すとTi膜厚分布が悪化していくのが判る。以上の第10図及び第11図の結果から、バイアスパワーは50 W程度が良好である。第12図はバイアススパッタリングによりTiを堆積し、さらにTiシリサイド層を形成させた場合と、バイアスを加えないスパッタリングでTiを堆積させた場合の接合リーク電流の差を示したものであり、これより、バイアススパッタリングでTi堆積を行ったTiシリサイド層は接合リーク電流が低減する。

一方、従来では上述したようにTiシリサイド層の表面モフォロジーの悪さから(TiSi<sub>2</sub>の反応の際に温度を800℃~900℃に上昇させることによる熱ストレスでTiSi<sub>2</sub>表面に荒れが生ずることも原因する)上層の層間絶縁膜にも荒れを生じさせる。このため微細なマスクパターンを形成する際に正確な露光が出来ない等の支障を来す恐れがある。

このTiシリサイド層の表面荒れをなくす方法としては、Tiシリサイド層を形成した後、RTA法等によりTiシリサイドの融点(1540℃)近くの極短

時間アニールを施し、Tiシリサイド層をリフローするようになる。これにより表面モフォロジーを向上することができる。例えば一旦形成したTiシリサイド層に800℃~900℃、数十秒のアニール後、1400mJ/cm<sup>2</sup>のエキシマレーザを短時間(例えば7秒)照射してTiシリサイド層をリフローすることにより、表面荒れがなくなり、Tiシリサイド層の平坦性が向上することを確認した。従って、上層に層間絶縁膜を形成したのちの微細マスクパターンの形成工程においても正確な露光が行えるものである。

尚、上述の各例においてはMOSトランジスタに適用した場合であるが、その他バイポーラトランジスタの製法においても本発明は適用できる。

#### 〔発明の効果〕

本発明の半導体装置の製法によればシリサイド層下に拡散層を有する半導体装置の製造において、素子間分離領域として上部にフランジ部を有するトレンチ分離領域を形成することにより、シリサ

イド層を形成するときに分離領域と半導体基板間の界面に沿うTi拡散を阻止することができ、従来のTi拡散に基づく接合リーク電流を低減することができ、且つ接合耐圧を向上することができる。

またこのとき、拡散層をシリサイド層中の不純物を固相拡散して形成するようになれば、イオン注入による場合の結晶欠陥もなく更に接合リーク電流及び接合耐圧を改善することができる。

また、本発明の他の同様の半導体装置の製法によれば、選択酸化による分離領域を有する場合、斜めイオン注入により拡散層を形成することにより、Ti拡散によって分離領域の端部に沿ってシリサイド層が形成されるも、それよりも深く接合部が形成されるので、Ti拡散に基づく接合リーク電流を低減することができ、且つ接合耐圧を向上することができる。

本発明のさらに他の同様の半導体装置の製法によれば、選択酸化による分離領域を有する場合、Ti拡散によって分離領域の端部に沿ってシリサイド層が形成されるも、シリサイド層に不純物を斜

めイオン注入し、このシリサイド層からの固相拡散により拡散層を形成するので、分離領域の端部下においてもシリサイド層より深く接合部が形成され、固相拡散による結晶性の良さと相俟ってさらに接合リーク電流及び接合耐圧を向上することができる。

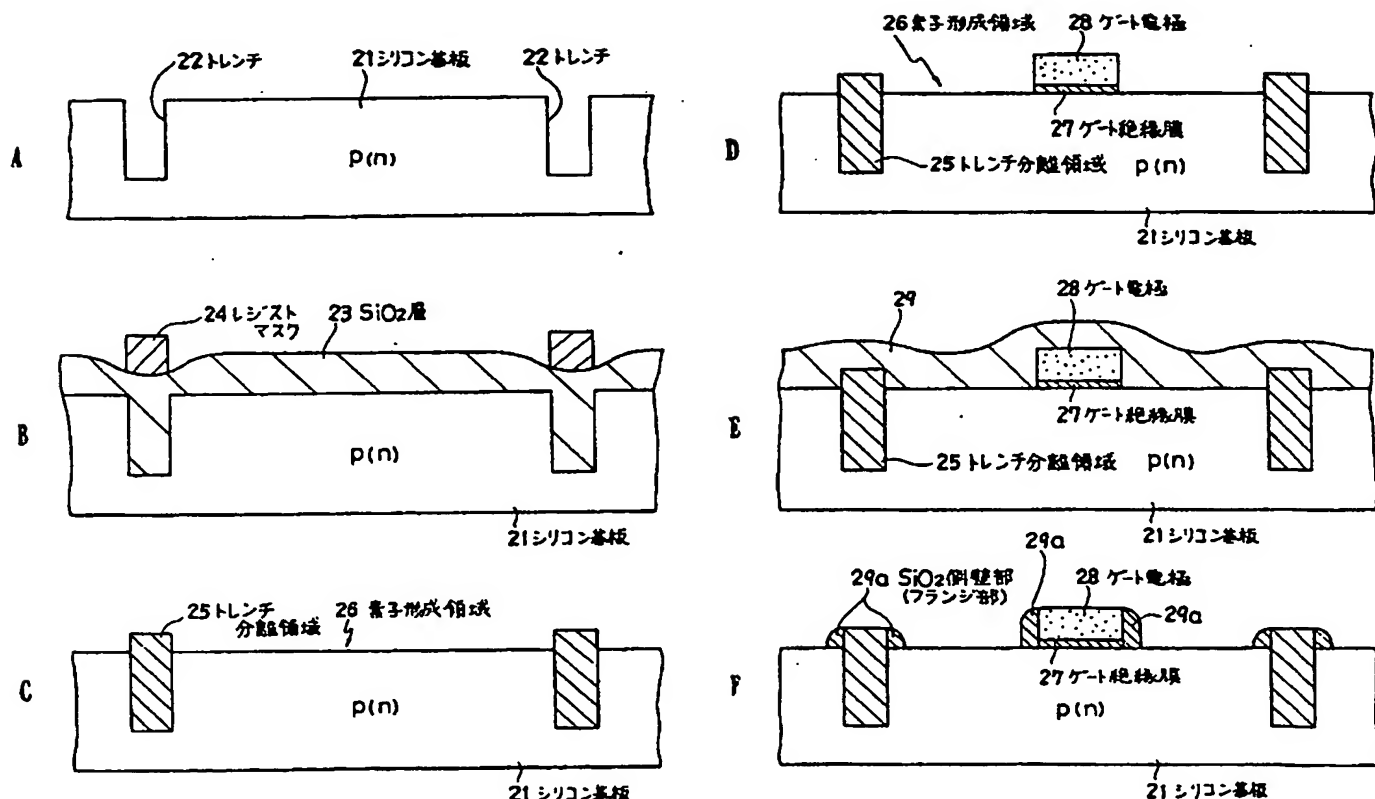
#### 図面の簡単な説明

第1図は本発明の第1実施例を示す工程図、第2図は本発明の第2実施例を示す工程図、第3図は従来例に係る逆方向電圧-接合リーク電流特性図、第4図は本発明に係る逆方向電圧-接合リーク電流特性図、第5図はイオン注入による場合の逆方向電圧-接合リーク電流特性図、第6図は固相拡散による場合の逆方向電圧-接合リーク電流特性図、第7図は本発明の第3実施例を示す工程図、第8図は本発明の第4実施例を示す工程図、第9図は本発明に係るイオン注入の構成図、第10図は本発明に係るバイアススパッタ-パワーに対するウェハ内の膜厚のばらつきを示すグラフ、第11図は本発明に係るウェハ内のTiの堆積率を示す

グラフ、第12図はバイアススパッタとバイアスを加えないスパッタの接合リーク電流の差を示すグラフ、第13図は従来のTiシリサイドの表面モロロジーを示す工程順の断面図、第14図は従来のMOSトランジスタの例を示す断面図、第15図及び第16図は接合リーク電流の説明に供する断面図である。

(21)はシリコン基板、(22)(40)はトレンチ、(23)は $\text{SiO}_2$ 層、(28)はゲート電極、(30)はTi層、(31)はTiシリサイド層、(32)(33)は拡散層である。

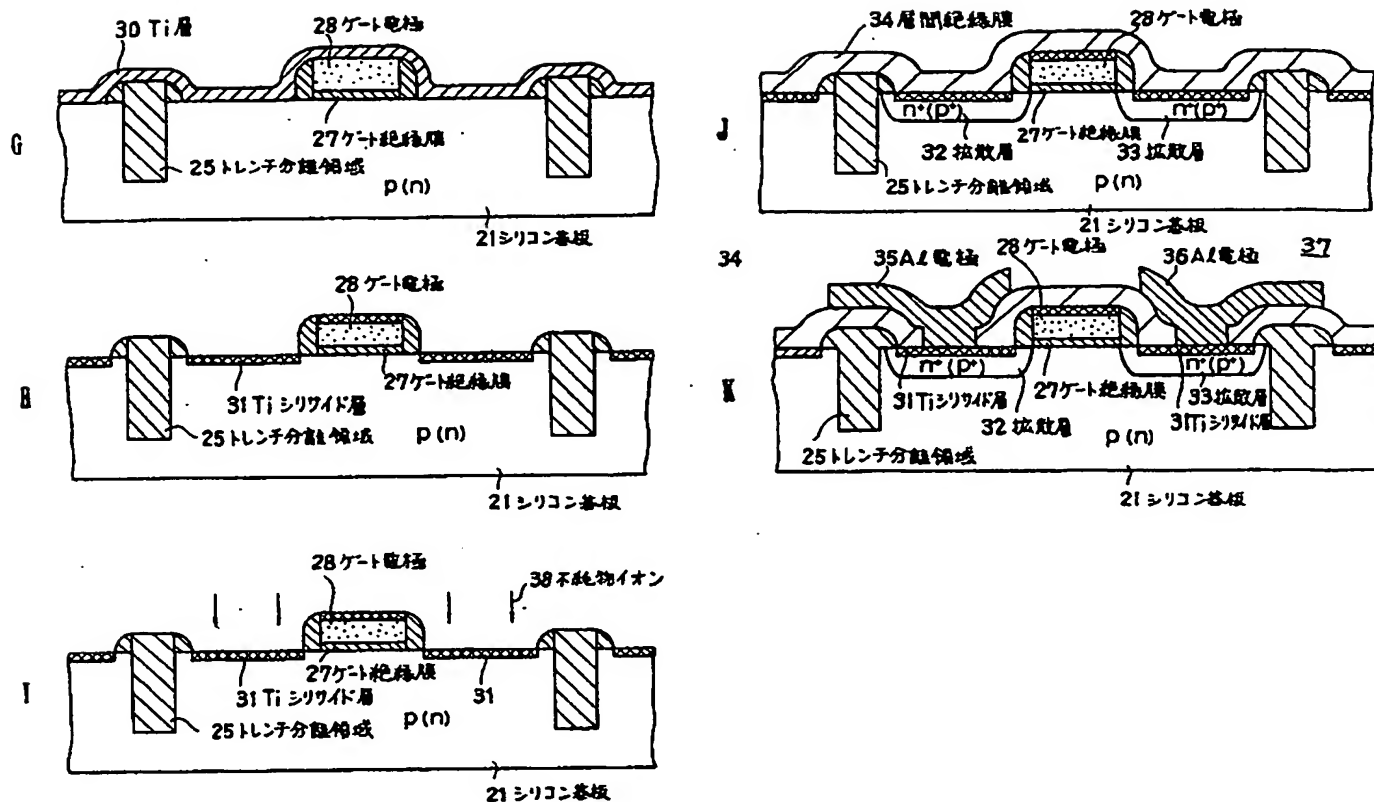
代理人 松 隈 秀 盛



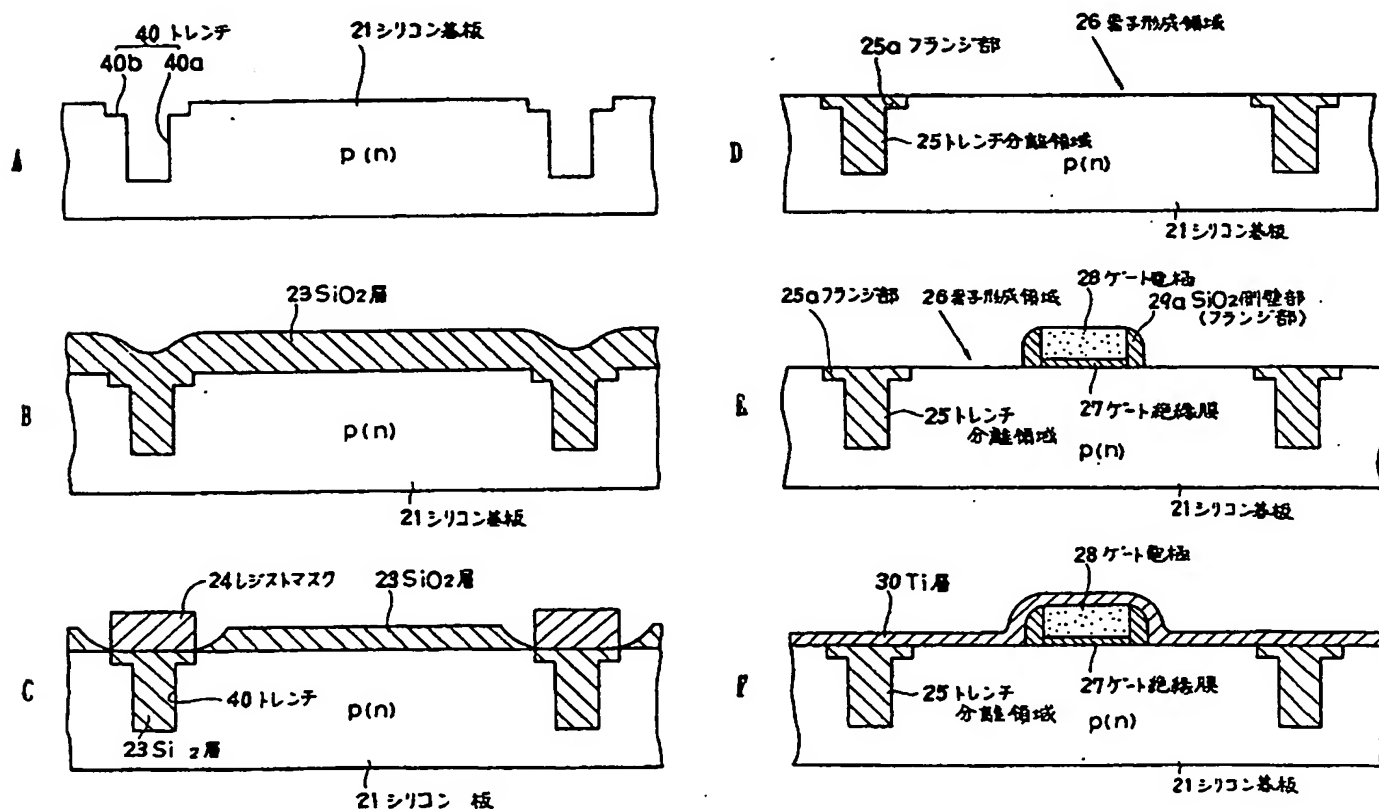
第1実施例の工程図

第1図 (その1)

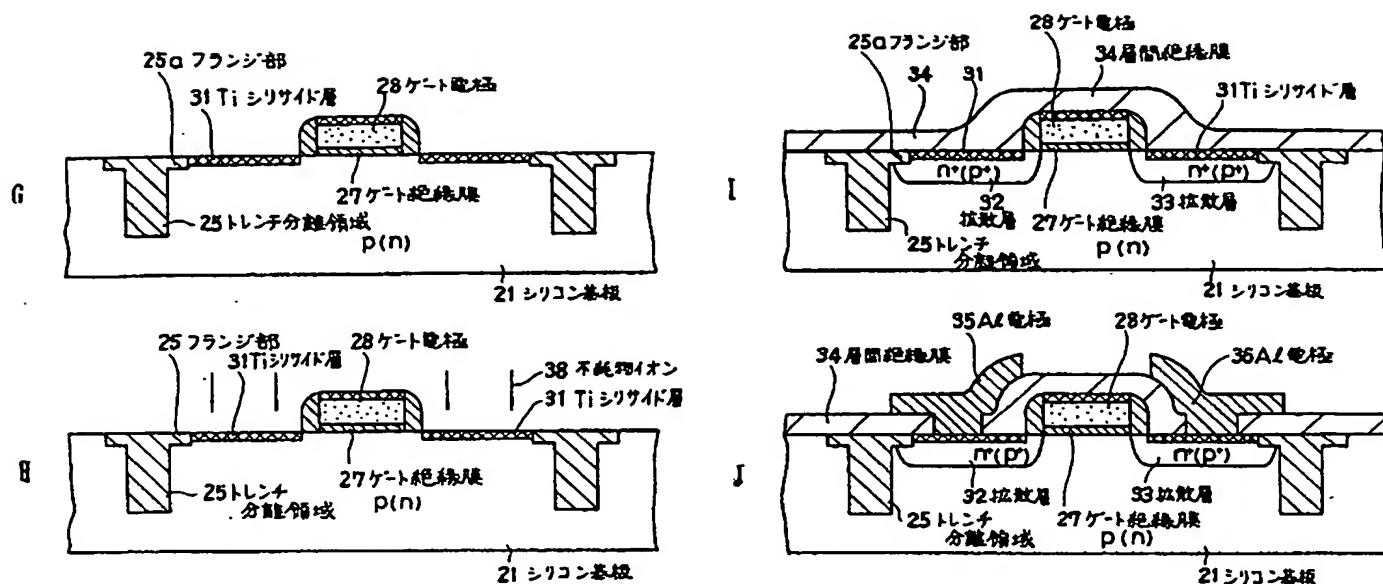




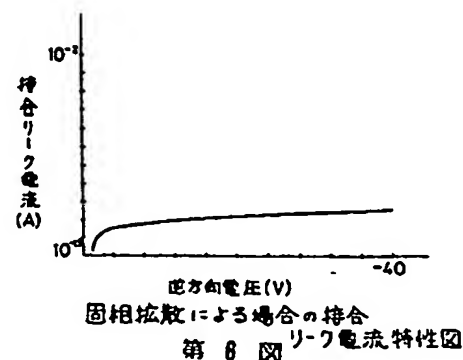
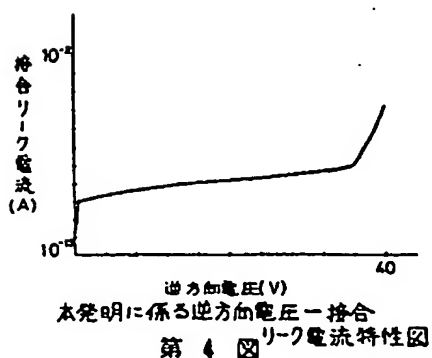
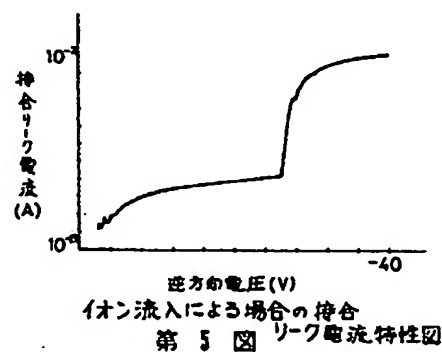
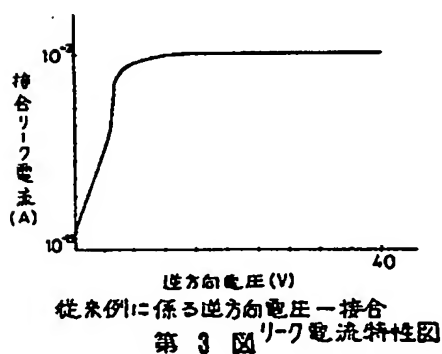
第1実施例の工程図  
第1図(その2)

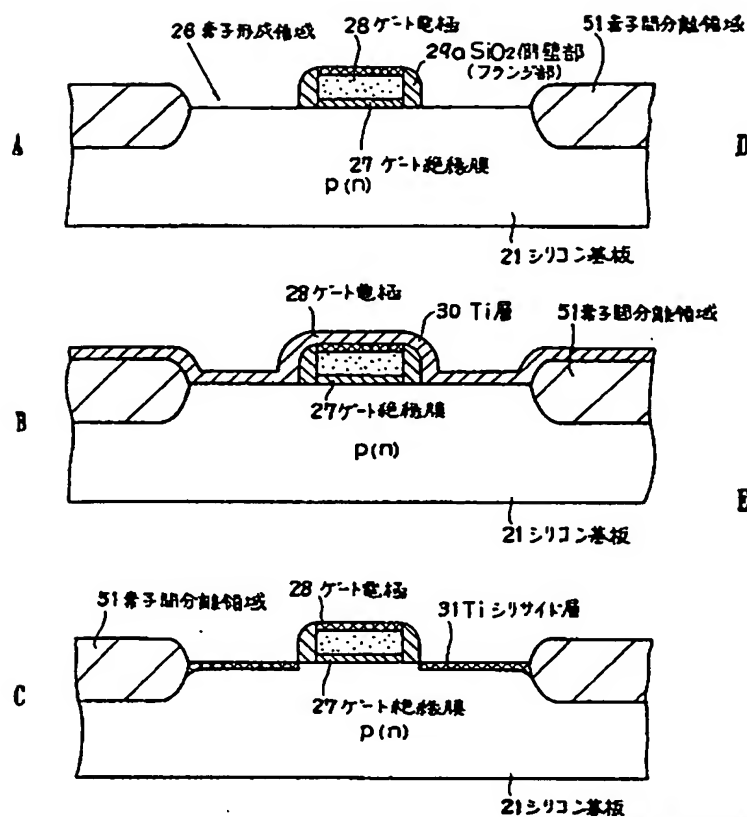
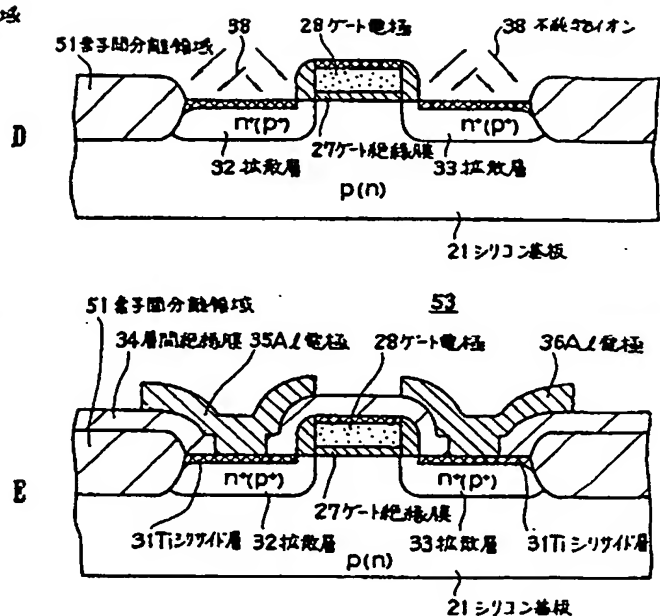
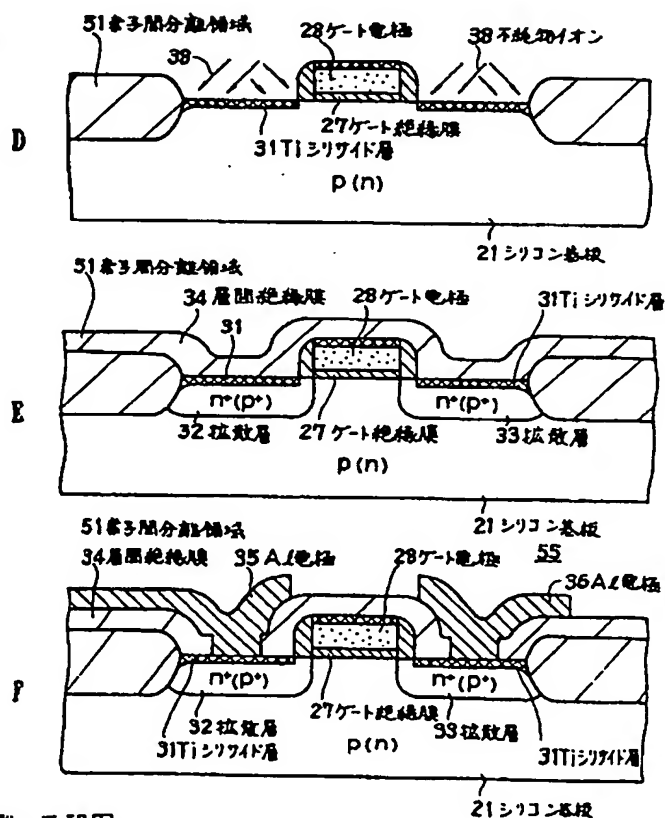
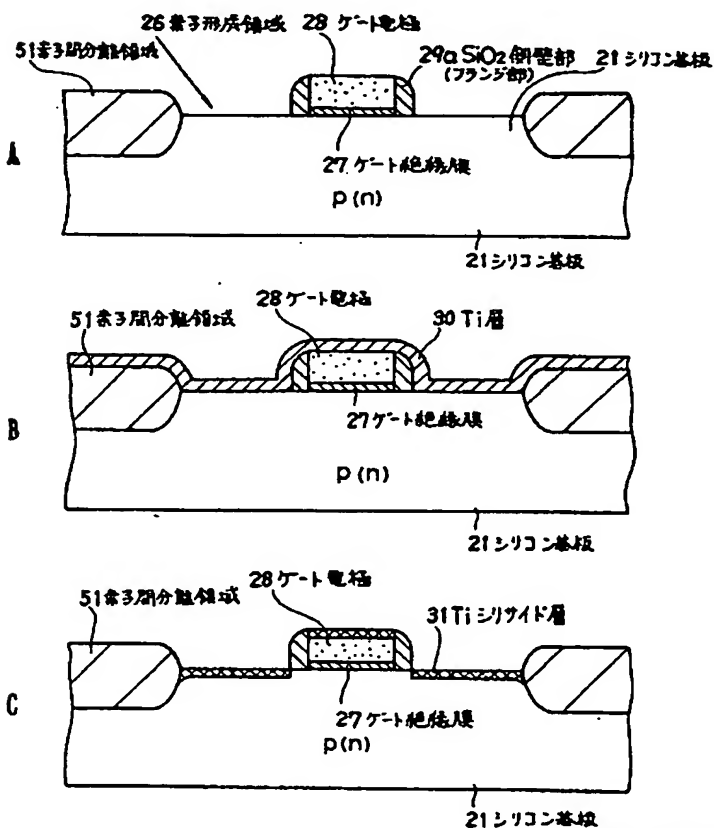


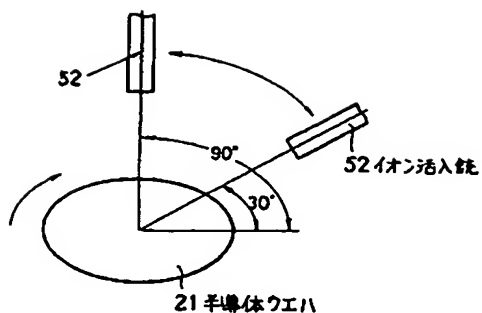
第2実施例を示す工程図  
第2図(その1)



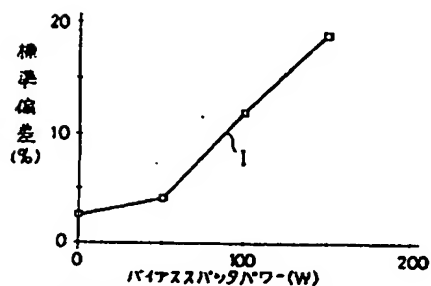
第2実施例の工程図  
第 2 図 (その2)



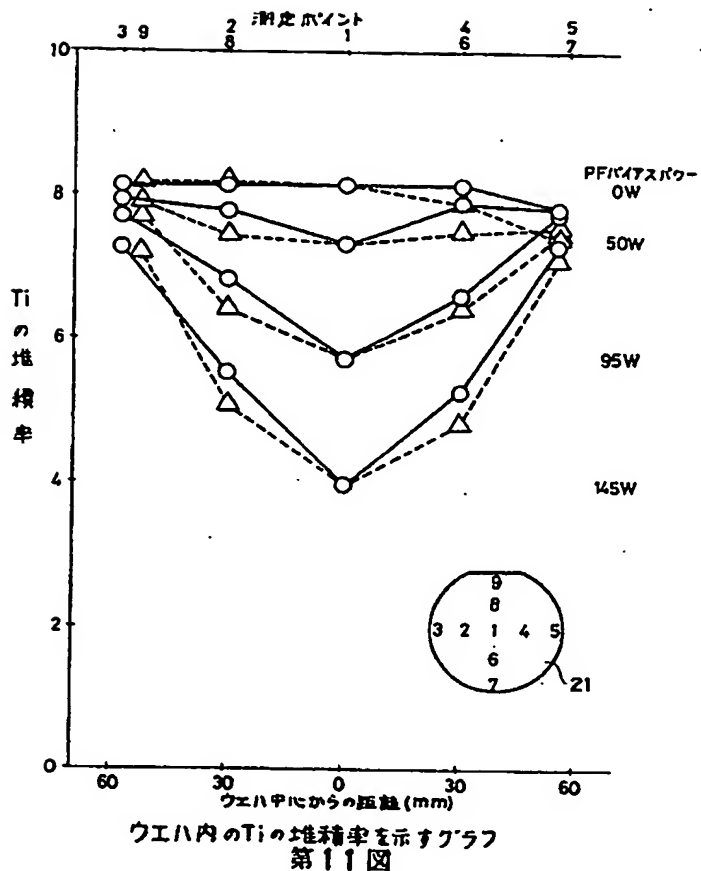
第3実施例の工程図  
第7図第4実施例の工程図  
第8図



本発明に係るイオン注入の構成図  
第9図

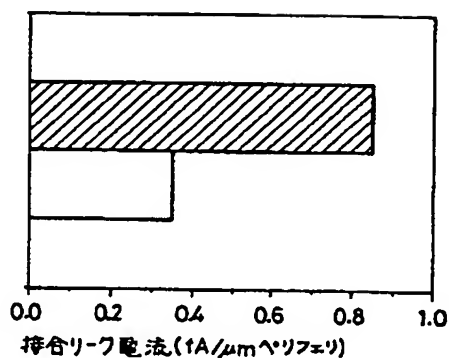


バイアススパッタパワーに対する  
膜圧のばらつきを示すグラフ  
第10図

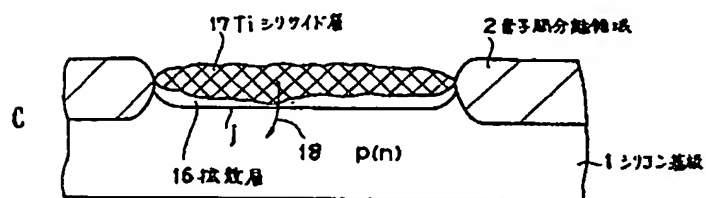
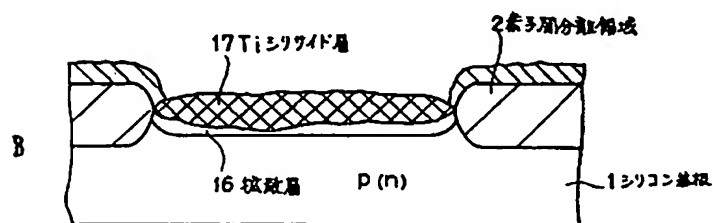
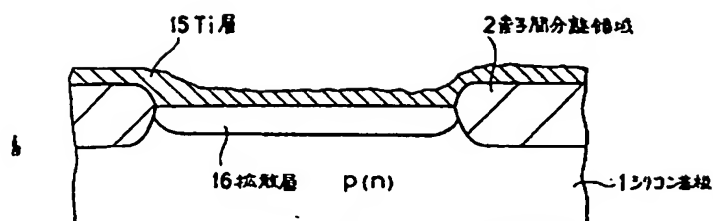


ウエハ内のTiの堆積率を示すグラフ  
第11図

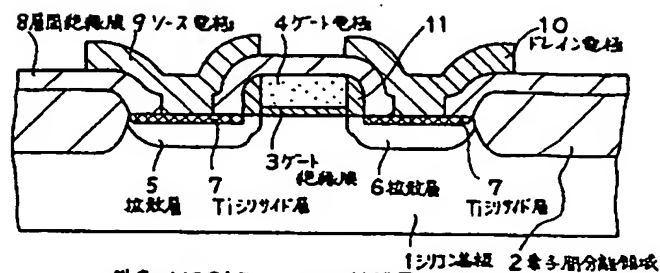
■ バイアス印加  
□ バイアスなし



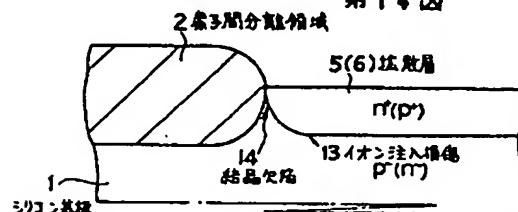
バイアスパッタとバイアスを加えないパッタ  
の接合リーク電流の差を示すグラフ  
第12図



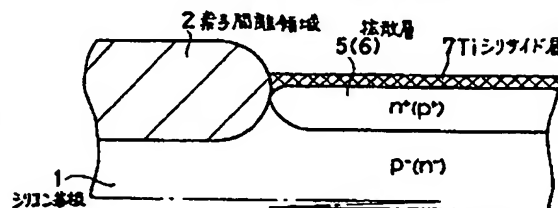
従来のTiシリサイドの表面モフォロジーを示す工程順の断面図  
第13図



従来のMOSトランジスタの断面図  
第14図



接合リーク電流の説明図  
第15図



接合リーク電流の説明図  
第16図